

【特許請求の範囲】

【請求項1】高不純物濃度の炭化珪素あるいは電気的導電性に優れた炭化チタンを基板とし、一方の導電形の炭化珪素からなる第1の半導体層と、その上に重ねられた他方の導電形の炭化珪素からなる第2の半導体層と、その上に重ねられた一方の導電形からなる第3の半導体層と、第3の半導体層から第1の半導体層へ達するように掘り込まれた凹部と、この凹部の表面を覆うゲート絶縁膜と、このゲート絶縁膜を介し凹部に作り込まれたゲート電極部と、第3の半導体層と基板とに接続された一対のソースとドレイン電極部と、ソース電極と第2の半導体層が炭化チタンで電気的に接続された構造を特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項2】請求項1において、凹部がゲート電極部と同一または電気的導電性に優れた部材で埋め込まれた構造を有することを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項3】請求項1において、凹部がゲート絶縁膜と同一または電気的絶縁性に優れた部材で埋め込まれた構造を有することを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項4】請求項1において、ソース電極と第2の半導体層との電気的接続部に炭化珪素との結晶整合性に優れた電気的伝導性に優れた部材を用いたことを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項5】請求項4において、ゲート電極部が形成される凹部を請求項2あるいは請求項3と同じ構造にしたことを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項6】請求項1において、ソース電極と第2の半導体層との電気的接続部を、第2半導体層と同じ導電形の炭化珪素で実現したことを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項7】請求項6において、ゲート電極部が形成される凹部を請求項2あるいは請求項3と同じ構造にしたことを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項8】請求項1において、ソース電極と第2の半導体層との電気的接続に炭化チタンを使用せず、ソース電極と同一あるいは電気的導電性に優れた部材を用い、凹部の一方の側壁を利用してソース電極と第2の半導体層との電気的接続を実現したことを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項9】請求項8において、凹部がゲート絶縁膜と同一または電気的絶縁性に優れた部材で埋め込まれた構造を有することを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項10】請求項8において、凹部の側壁をソース電極と第2の半導体層との電気的接触に使用する部分とチャンネル形成に使用する部分として使用することを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項11】請求項10に記載された構造の絶縁ゲ

ト形電界効果トランジスタにおいて、凹部がゲート絶縁膜と同一または電気的絶縁性に優れた部材で埋め込まれた構造を有することを特徴とする絶縁ゲート形電界効果トランジスタ。

【請求項12】請求項1から請求項11のいずれか1項において、高不純物濃度の炭化珪素あるいは電気的導電性に優れた炭化チタンから成る基板と一方の導電形の炭化珪素からなる第1の半導体層との間に他方の導電形の炭化珪素部が設けられたことを特徴とする絶縁ゲート形バイポーラトランジスタ。

【請求項13】少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れた電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、少なくとも一つの構成要素とすることを特徴とする半導体装置。

【請求項14】少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れた電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、少なくとも一つの構成要素とすることを特徴とするサイリスタ。

【請求項15】少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れた電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、少なくとも一つの構成要素とすることを特徴とするゲートターンオフサイリスタ。

【請求項16】少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れた電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、少なくとも一つの構成要素とすることを特徴とするトランジスタ。

【請求項17】少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れた電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、少なくとも一つの構成要素とすることを特徴とするショットキー障壁ゲート形電界効果トランジスタ。

【請求項18】少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れた電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、少なくとも一つの構成要素とすることを特徴とするpn接合ゲート形電界効果トランジスタ。

【請求項19】少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れた電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、少なくとも一つの構成要素とすることを特徴とする静電誘導サイリスタ。

【請求項20】少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れた電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、少なくとも一つの構成要素とすることを特

微とする静電誘導トランジスタ。

【請求項21】少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れかつ電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、少なくとも一つの構成要素とすることを特徴とするMOS制御サイリスタ。

【請求項22】高不純物濃度の炭化珪素あるいは電気的導電性に優れた炭化チタンからなる基板上に、一方の導電形の炭化珪素からなる第1の半導体層をエピタキシャル成長させる工程と、第1の半導体層の上に他方の導電形の炭化珪素からなる第2の半導体層をエピタキシャル成長させる工程と、第2の半導体層の上に炭化珪素との結晶整合性に優れかつ電気伝導性のよい例えば炭化チタン層をエピタキシャル成長させる工程と、第2の半導体層の上にエピタキシャル成長された炭化珪素との結晶整合性に優れかつ電気伝導性のよい例えば炭化チタン層の必要な部分以外を第2の半導体層が現れるまで取り除く工程と、現れた第2の半導体層と残った炭化珪素との結晶整合性に優れかつ電気伝導性のよい例えば炭化チタン層の上に同じに一方の導電形の炭化珪素からなる第3の半導体層をエピタキシャル成長させる工程と、炭化珪素との結晶整合性に優れかつ電気伝導性のよい例えば炭化チタン層を避け第3の半導体層から第1の半導体層へ達するように凹部を掘り込む工程と、この凹部の表面をゲート絶縁膜で覆う工程と、このゲート絶縁膜を介し凹部にゲート電極となる電極膜を作り込む工程と、第3の半導体層と基板とに接続されたソースとドレイン用電極膜を作り込む工程とを含むことを特徴とする絶縁ゲート形電界効果トランジスタの製造方法。

【請求項23】請求項22において、凹部をゲート絶縁膜と同一あるいは電気絶縁性に優れた部材で埋め込む工程を含むことを特徴とする絶縁ゲート形電界効果トランジスタの製造方法。

【請求項24】請求項23において、凹部をゲート電極と同一あるいは電気導電性に優れた部材で埋め込む工程を含むことを特徴とする絶縁ゲート形電界効果トランジスタの製造方法。

【請求項25】高不純物濃度の炭化珪素あるいは電気的導電性に優れた炭化チタンからなる基板上に、他方の導電形の炭化珪素からなる半導体層をエピタキシャル成長させる工程と、一方の導電形の炭化珪素からなる第1の半導体層をエピタキシャル成長させる工程と、第1の半導体層の上に他方の導電形の炭化珪素からなる第2の半導体層をエピタキシャル成長させる工程と、第2の半導体層の上に炭化珪素との結晶整合性に優れかつ電気伝導性のよい例えば炭化チタン層をエピタキシャル成長させる工程と、第2の半導体層の上にエピタキシャル成長された炭化珪素との結晶整合性に優れかつ電気伝導性のよい例えば炭化チタン層の必要な部分以外を第2の半導体層が現れるまで取り除く工程と、現れた第2の半導体層

と残った炭化珪素との結晶整合性に優れかつ電気伝導性のよい例えば炭化チタン層の上に同じに一方の導電形の炭化珪素からなる第3の半導体層をエピタキシャル成長させる工程と、炭化珪素との結晶整合性に優れかつ電気伝導性のよい例えば炭化チタン層を避け第3の半導体層から第1の半導体層へ達するように凹部を掘り込む工程と、この凹部の表面をゲート絶縁膜で覆う工程と、このゲート絶縁膜を介し凹部にゲート電極となる電極膜を作り込む工程と、第3の半導体層と基板とに接続されたソースとドレイン用電極膜を作り込む工程とを含むことを特徴とする絶縁ゲート形バイポーラトランジスタの製造方法。

【請求項26】請求項25において、凹部をゲート絶縁膜と同一あるいは電気絶縁性に優れた部材で埋め込む工程を含むことを特徴とする絶縁ゲート形バイポーラトランジスタの製造方法。

【請求項27】請求項25において、凹部をゲート電極と同一あるいは電気導電性に優れた部材で埋め込む工程を含むことを特徴とする絶縁ゲート形バイポーラトランジスタの製造方法。

【請求項28】少なくとも1個のスイッチング素子と、スイッチング素子をオンオフ制御する制御回路とを有するものにおいて、その構成要素として請求項1から請求項21のいずれか1項に記載のスイッチング素子を少なくとも一つ含むことを特徴とする電力変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、交流電力ー直流電力、交流電力ー交流電力、直流電力ー交流電力および直流電力ー直流電力変換を行う電力変換装置の心臓部である自己消弧機能を有する半導体スイッチング素子に関する。

【0002】

【従来の技術】電気学会技術報告(2部)第449号(1992)、日立評論 Vol. 70, 1033~1076(1988)に記載された内容をもとに、従来技術の説明を行う。

【0003】電力変換装置に使用される半導体スイッチング素子の能力は、素子の電力変換容量と動作周波数で評価できる。一般に、電力変換容量が大きい素子ほど動作周波数は低く、小さなものほど大きくなるという関係にある。

【0004】このうち素子の電力変換容量は、素子がオフ状態の時に印加できる最大電圧(素子耐圧)とオン状態の時に通電できる最大電流で決定される。これらの中には、素子面積が一定の場合、一方を大きくするともう一方が小さくなる、いわゆるトレードオフの関係が存在する。これは、次の理由による。

【0005】オフ状態の時に素子に加わる電圧は、素子内に形成される空乏層で保持される。そのため、素子耐圧を高めるほど、空乏層形成部の層厚を厚くする必要が

10

20

30

40

50

5

生じる。空乏層形成部は、オフ時の電圧保持の一方で、オン時には、素子を流れる電流の通路になり、電気抵抗発生の原因になる。素子の耐圧を高めるには、空乏層形成部の層厚を厚くすることから、素子の耐圧を高めるほど、電気抵抗が増加し、結果として、素子内部で発生する電力損失が増大することになる。電力用に用いられる素子の場合、素子に流せる最大電流密度は、素子内部で発生する電力損失によって制限される。このため、耐圧を増すことによって素子の電気抵抗が増加した分、素子に流せる電流密度を低くする必要が生じる。このように素子耐圧と最大電流量の間にはトレードオフの関係が存在し、電力変換容量を制限する要因となっている。このようなトレードオフ関係にともなう変換容量の制限を打破するため、サイリスタやゲートターンオフサイリスタ(GTO)では、素子のラッチアップ機能を利用して、空乏層形成部の電気抵抗を大幅に減少させている。

【0006】サイリスタは、現在最も大きな電力変換能力を有する半導体素子である。しかし、素子自体に自己消弧機能がなく、その動作周波数も100Hz前後とかなり低い。

【0007】自己消弧機能を有する半導体スイッチング素子の中で、最も大きな電力変換容量を実現している素子はゲートターンオフサイリスタである。この素子も、ラッチアップ現象を利用して大きな電力変換容量を実現している。しかし、ラッチアップ現象は、電力変換容量を改善する一方で、素子がオンしているときの空乏層形成部でのキャリア密度を増大させる。このキャリアは、ターンオフ時に高電界条件下で、素子外に吐き出されるため、素子のターンオフ電力損失を増大させることになる。ターンオフ損失は、素子のターンオフ毎に発生するため、素子の動作周波数を制限する。このような動作周波数の制限から、素子耐圧4kV、電流容量3kA程度のゲートターンオフサイリスタの場合、その動作周波数は、現状約500Hzである。

【0008】また、ゲートターンオフサイリスタをターンオフさせるためには、ゲート電極を用いて、カソード電極からのキャリア注入を抑制するとともに、素子内部のキャリアを引き抜く必要がある。このとき、ゲート電極は、アノード電極からカソード電極に流れていた電流の一部を受け持つことになり、一般的なゲートターンオフサイリスタの場合、このゲート電流の大きさは、アノード電流の30～50%になる。前述程度の素子でこの電流を求めると、約1kAになる。このような大きなゲート電流は、ゲートターンオフサイリスタのゲート回路を大型にするため、電力変換装置全体の小型化という今日的な要求を実現する上での大きな問題点となっている。このように、ゲートターンオフサイリスタは大きな電力変換容量を有する一方で、動作周波数が低く、かつゲート電流が大きいという課題を抱えている。

6

【0009】ゲートターンオフサイリスタが本質的に持っている課題を解決する素子として、絶縁ゲート形バイポーラトランジスタ(IGBT)や絶縁ゲート形電界効果トランジスタ(MOSFET)がある。これらの素子は、ゲート電極部が素子本体と電気的に絶縁された構造となっており、ターンオフのために、ゲート電極から素子内のキャリアを引き抜く必要がない。素子のオン・オフは、ゲート電極と素子本体で構成されているコンデンサを充放電することだけでよいので、ゲート制御電流がゲートターンオフサイリスタに比べ大幅に小さくなる。その結果、ゲート制御回路の大幅な小型化が実現できる。

【0010】また、これらの素子は、動作速度に関しても、ゲートターンオフサイリスタに比べ優れた性能を有している。これは、素子の動作原理の違いに由来しており、その理由に付いて簡単に説明する。

【0011】ゲートターンオフサイリスタでは蓄積キャリアによって大きなターンオフ損失が発生するが、絶縁ゲート形電界効果トランジスタでは、ドレイン電極側からのキャリア注入がないため、素子内へのキャリアの蓄積現象が生じない。そのため、絶縁ゲート形電界効果トランジスタのターンオフ電力損失は極めて小さくなる。ターンオフ電力損失が少ないことから、動作周波数の増加にともなう電力損失の増大がおさえられ、結果として、高速動作が可能となる。

【0012】絶縁ゲート形バイポーラトランジスタの場合、ゲートターンオフサイリスタと同様にコレクタ電極側からのキャリア注入がある。しかし、絶縁ゲート形バイポーラトランジスタでは、エミッタ電極側に設けられたベース層領域で電子と正孔の通路を分離することで、完全なラッチアップ状態に至らないようにして、素子のオン動作が行われる。そのため、オン状態の時に素子内に蓄積されるキャリア量はゲートターンオフサイリスタに比べ少なく、ターンオフ電力損失は小さくなる。このターンオフ電力損失低減の結果として、高速動作が可能となる。

【0013】このように、絶縁ゲート形電界効果トランジスタや絶縁ゲート形バイポーラトランジスタは、ゲート回路の小型化とともに、電力変換システムのキャリア周波数の高速化に大きな貢献をはたしてきた。

【0014】また、絶縁ゲート形電界効果トランジスタや絶縁ゲート形バイポーラトランジスタは、電流密度が低く抑えられていることから、従来、ワイヤボンディングの手法を使用して、素子のパッケージが行われている。この方法は、簡便なパッケージ技術であり、現在広く利用されている。

【0015】しかし、高速動作の一方で、絶縁ゲート形電界効果トランジスタや絶縁ゲート形バイポーラトランジスタには、素子を高耐圧化した場合、オン時の電気抵抗が大きくなり、そのためオン電力損失が増大するとい

う、極めて重大な問題がある。このような問題を防止するため、絶縁ゲート形電界効果トランジスタや絶縁ゲート形バイポーラトランジスタでは、オン時に流れる電流の密度を低く抑えている。絶縁ゲート形バイポーラトランジスタおよび絶縁ゲート形電界効果トランジスタのオン時の電流密度は、ゲートターンオフサイリスタが 100 A/cm^2 を超えるのに対し、それぞれ数十 A/cm^2 、数 A/cm^2 程度となっている。そのため、電力変換容量も制限を受け、絶縁ゲート形バイポーラトランジスタおよび絶縁ゲート形電界効果トランジスタの変換容量は、それぞれゲートターンオフサイリスタの $1/10$ および $1/100$ 程度となっている。また、絶縁ゲート形電界効果トランジスタや絶縁ゲート形バイポーラトランジスタのパッケージに利用されているワイヤボンディング方法は、簡便なパッケージ技術である一方で、素子の片側がワイヤを使用して外部との電気的接触がとられているため、素子の冷却効果や電流密度を制限するという問題を抱えている。

【0016】

【発明が解決しようとする課題】ゲートターンオフサイリスタは、ラッチアップ現象を積極的に利用してオン時の電気抵抗を大幅に低減することで、大きな電力変換容量を実現していた。しかし、ラッチアップ現象による蓄積キャリアのため、ターンオフ電力損失が増大し、動作周波数が大きく制限を受けるとともに、ターンオフ時に蓄積キャリアを引き抜く必要があることからゲート電流が大きくなるという問題を抱えていた。これに対し、絶縁ゲート形バイポーラトランジスタや絶縁ゲート形電界効果トランジスタは、素子内部への蓄積キャリアが少ないこと、ターンオフ時に蓄積キャリアを引き抜く必要がないことから、素子の高速動作が可能であるとともに、少ないゲート電流で制御可能であるという特徴を有していた。しかし、その一方で、素子を高耐圧化した場合、オン時の電気抵抗が増大し、それとともに定常オン時の電力損失が増大し、電力変換容量が制限を受けるという問題を抱えていた。また、絶縁ゲート形電界効果トランジスタや絶縁ゲート形バイポーラトランジスタのパッケージには、ワイヤボンディングの手法が使われていたが、この手法には熱放散性や大電流化上の課題を抱えていた。

【0017】さらに、炭化珪素は、キャリア提供に有効な元素に対して拡散定数が極めて小さく、実用的な拡散速度を得るためには、炭化珪素の熱分解が生じる温度以上に必要がある。そのため、現実的には熱拡散技術を用いて素子を作成することは不可能である。また、炭化珪素のドーパントとなる不純物の不純物準位が深く、総合的なドーパントのイオン化率が小さい。そのため、素子形成に有効なキャリア密度を達成するためには、極めて高濃度の不純物を注入する必要がある。不純物が多くなるほど、イオン注入部に発生した結晶欠陥を修復す

ることが困難になることから、イオン注入技術を利用して炭化珪素内に不純物を導入するためには、越えなければならない大きな技術的課題が山積している。

【0018】本発明の目的は、基板材料に炭化珪素(SiC)を使用して、大電力変換、高速動作、および容易なゲート制御性を有する素子を実現することである。

【0019】本発明の他の目的は、素子構造においてはゲート電極部が存在する平面位置とソース電極部が存在する平面位置とを分離した素子構造とし、パッケージ構造においては素子をソース電極とカソード電極の両面から圧接するパッケージ構造とし、これらの方法によって、素子の大電流密度および冷却性能を大きく高めることである。

【0020】本発明の別の目的は、絶縁ゲート形電界効果トランジスタを実現するために必要不可欠なソース電極と第2の半導体層との電気的な接触のために、炭化チタンなどの電気伝導性に優れた炭化珪素との結晶整合性のよい物質を用いることで、両面圧接時に素子に加わる圧力によって素子が破壊することを防止することである。

【0021】本発明のさらに別の目的は、素子の構成要素の一部に、炭化珪素と結晶整合性がよい例えば炭化チタンなどの部材を用いることで、素子をパッケージするときに素子に加わる圧力によって素子が破壊することを防止することである。

【0022】本発明のもう一つの目的は、素子の製造においては、炭化珪素で利用困難な製造技術である熱拡散およびイオン注入技術を用いずに素子を作成すること、電力変換装置においては、装置の発生する騒音の抑制とともに、装置本体およびその冷却設備の小型化を実現することである。

【0023】

【課題を解決するための手段】これらの目的を達成するため、本発明では、第1に、素子材料として炭化珪素を用いる。第2に、炭化珪素が基本的に有する物理的特徴を引き出すため、パッケージ構造としては、両面圧接型とする。第3に、両面圧接パッケージを実現するため、ゲート電極部がソース電極部の存在する平面位置が分離され、ソース電極と絶縁ゲート形電界効果トランジスタのウェル層との電気的接続のために炭化珪素との結晶整合性のよい炭化チタンを用いた素子構造とする。これらの構造の目的は、それぞれ、圧接部材によるソース電極とゲート電極が短絡するのを防ぐ、圧接時に素子に加わる圧力によって素子が破壊するのを防ぐためである。第4に、高不純物濃度の炭化珪素あるいは電気的導電性に優れた炭化チタンを基板とし、その上にエピタキシャル成長によって積層された3層の炭化珪素層と、最上位炭化珪素層から3層目の炭化珪素層へ達するように掘り込まれた凹部と、この凹部の表面を覆うゲート絶縁膜と、このゲート絶縁膜を介し凹部に作り込まれたゲート

電極部と、最上位の炭化珪素層と基板とに接続された一対のソースとドレイン電極部と、ソース電極と第2の半導体層が炭化チタンで電気的に接続された構造とする。

【0024】炭化珪素を用いることで、電力変換容量と動作周波数間のトレードオフ関係の大幅な改善および容易なゲート制御性が実現できることについて、若干の説明を加える。

【0025】炭化珪素は、バンドギャップ幅が大きく、絶縁破壊強度が珪素(Si)に比べ約1桁大きいという特徴を有している。この特徴のため、耐圧保持のために必要な素子の空乏層形成部の幅を小さくすることができるとともに、そこでの不純物濃度も大きくできる。そのため、素子の定常オン時の電気抵抗は珪素に比べ約3桁程度小さくなる。珪素においては、ラッチアップ現象を用いてオン抵抗の低減を実現していたが、炭化珪素を基板材料とすることで大幅な抵抗の低減がはかれる。この電気抵抗の値は、ラッチアップ現象を利用したSi-GTOより小さい値であり、炭化珪素を用いることで、ゲートターンオフサイリスタの電力変換容量を越える絶縁ゲート形電界効果トランジスタが実現できることを示している。絶縁ゲート形電界効果トランジスタは、素子内へのキャリアの蓄積現象がなく、ゲート制御電流が小さいことから、炭化珪素を用いることで、大電力変換、高速動作、およびゲート制御回路の小型化が同時に実現できることになる。

【0026】次に、このような特性を引き出すためには、次のような素子構造、およびパッケージ構造が必要であることについて、若干の説明を加える。

【0027】従来の絶縁ゲート形バイポーラトランジスタや絶縁ゲート形電界効果トランジスタは、素子の電気抵抗が大きいことから電流密度が低く抑えられていた。そのため、ワイヤーボンディングを用いた素子のパッケージ手法で、素子性能を十分に引き出すことができた。しかし、SiC-MOSFETの場合、電流密度はSi-GTOのそれを越える。このような大電流密度を従来からあるワイヤーボンディング手法で実現することは、ワイヤーに流せる電流量を考慮すると大きな問題になる。また、炭化珪素は、熱の伝導性がよく、熱伝導率は珪素の約3倍になる。ワイヤーボンディング手法では、ワイヤー接続面からの熱放散性が悪化するため、炭化珪素の優れた熱伝導性を活かすことができない。したがって、炭化珪素の有する特性を効果的に引き出すためには、両面圧接パッケージが可能な素子構造が必要不可欠となる。

【0028】

【作用】本発明では、素子の基本材料に炭化珪素を使用し、さらにソース領域とゲート領域の存在する平面位置を空間的に分離するとともに、第2の半導体層とソース電極との電気的接触のために電気伝導性および熱伝導性に優れた炭化珪素との結晶整合性のよい炭化チタンを用いて両面圧接が可能な素子構造とした。その結果、炭化珪

素の有する大きな電力変換容量、大きな電流容量、高い熱放散性、高速動作性という優れた特性を引き出すことが可能となり、素子の冷却性能に優れ、大電力変換容量を有し、かつ高速に動作する半導体素子の実現が可能となる。この場合、電力変換容量は従来のゲートターンオフサイリスタと同等、動作周波数は従来の絶縁ゲート形電界効果トランジスタと同等になる。

【0029】また、本発明では、第2の半導体層とソース電極との電気的接触のために、電気伝導性に優れた炭化珪素との結晶整合性のよい炭化チタンを用いている。このため、炭化珪素-炭化チタン接触界面での結晶欠陥が少なくなり、両面圧接時の素子破損耐性に優れ、かつ良好な電気的接触特性をもつFETが実現できる。さらに、素子の製造方法においては、炭化珪素において困難な技術である熱拡散およびイオン注入技術を使用しないで製造することができる。また、電力変換装置へ本発明の素子を応用した場合、素子自身が小さくなること、ゲート制御電力が小さいこと、および高温動作が可能なことから、変換装置本体の小型化とともに素子の冷却設備の小型化が同時に実現できる。

【0030】

【実施例】以下、図を用いて本発明の実施例を説明する。

【0031】実施例1

図1は本発明による絶縁ゲート形電界効果トランジスタの断面図である。図は、本発明の素子のパッケージ構造も同時に示している。

【0032】ここで述べる実施例は、素子の基板として強いn形にドーパされた炭化珪素または炭化珪素と結晶整合性のよい炭化チタン12を基板に用いた一例である。本発明による絶縁ゲート形電界効果トランジスタ11は、電気導電性に優れ、機械的強度の高い部材でできたドレイン電極層18と、強いn形にドーパされた炭化珪素または炭化珪素と結晶整合性のよい炭化チタンからなる基板12と、基板12上にn形の所定不純物濃度でドーパされた炭化珪素のエピタキシャル層からなる第1の半導体層13と、逆のp形の高不純物濃度にドーパされた炭化珪素のエピタキシャル層からなる第2の半導体層14と、n形の高不純物濃度にドーパされた炭化珪素のエピタキシャル層からなる第3の半導体層15と、電気導電性のよい部材でできたソース電極層17とが順次重なった構造となっている。また、第3の半導体層15から第2の半導体層14を通して第1の半導体層13へ達するように掘り込まれた凹部111、この凹部111の表面を覆うように作られた薄いゲート絶縁膜110、このゲート絶縁膜110上に電気導電性のよい部材を用いてゲート電極19が設けられる。また、本発明のパッケージは、ソース側電極部材112、ドレイン側電極部材113、側壁115、およびゲート用リード線などから構成される。

11

【0033】図1の絶縁ゲート形電界効果トランジスタでは、第1の半導体層13と基板12がn形のドレイン領域、第2の半導体層14がp形のウェル、第3の半導体層15がn形のソース領域を構成する。この絶縁ゲート形電界効果トランジスタ11は、ゲート絶縁膜110を介してゲート電極19と対向するp形の第2の半導体層14をチャネル形成領域とするnチャネル形である。通常、絶縁ゲート形電界効果トランジスタと同様に、ゲート電極19に印加する電圧によってチャネルの形成を制御して、ソース電極17とドレイン電極18を遮断または導通状態とすることによって素子動作が行われる。導通時には、電流が基板12から第1の半導体層13を

通って第3の半導体層15に向けて縦方向にながれる縦形の絶縁ゲート形電界効果トランジスタである。遮断時には、第2の半導体層14と第1の半導体層13の接触界面から第1の半導体層13内に空乏層が広がる。この空乏層によって、素子に加わる電圧が保持される。

【0034】ゲート電極19は、第3の炭化珪素半導体層15から第2の炭化珪素半導体層14を通して第1の炭化珪素半導体層13へ達するように掘り込まれた凹部111に、電気導電性のよい部材で作成する。ゲート電極19と第3の炭化珪素半導体層15、第2の炭化珪素半導体層14、および第1の炭化珪素半導体層13との間には、薄いゲート絶縁膜110が付けられる。さらにソース電極17と第2の炭化珪素半導体層14は、炭化珪素と結晶整合性のよい炭化チタンによって電氣的接触がとられ、ゲート電極に電圧が印加されたときに、第2の炭化珪素半導体層14とゲート絶縁膜110との近傍にn形反転層が形成されるようにする。

【0035】次に、本発明の絶縁ゲート形電界効果トランジスタ11によって得られる発明の効果について説明する。

【0036】炭化珪素は、バンドギャップ幅が大きく、絶縁破壊電界が大きい。珪素の絶縁破壊電界が $3 \times 10^5 \text{ V/cm}$ であるのに対し、炭化珪素のそれは $2.5 \times 10^6 \text{ V/cm}$ であり、珪素の約10倍にもなる。絶縁ゲート形電界効果トランジスタ11に印加される電圧は、第1の半導体層13内に広がる空乏層によって保持されるので、第1の半導体層13の幅は、この領域のすべてが空乏化したとき、この領域で絶縁破壊が生じない幅が最低必要となる。物質中の電界は、これに加える電圧に比例し、その幅に反比例する。したがって、素子耐圧が同じ素子と考えた場合、耐圧保持のために必要な第1の半導体層13の幅は、絶縁破壊電界に反比例する。炭化珪素の絶縁破壊電界は珪素に比べ1桁大きいので、結果として、炭化珪素を用いた絶縁ゲート形電界効果トランジスタ11の第1の半導体層13の厚さは、珪素の場合に比べ1桁薄くすることができる。このように、炭化珪素を用いることによって、素子の大きさを小さくすることができる。

12

【0037】炭化珪素を用いることで、珪素に比べ、素子のソース電極17とドレイン電極18間の電気抵抗が2桁以上小さくできることについて、以下に述べる。

【0038】素子の耐圧保持の役割をはたす空乏層の幅は、不純物密度の2乗に反比例する。また、前述したように第1の半導体層13は、目的の耐圧保持のために必要な空乏層の幅と同じ幅が最低限必要である。さらに、目的とする素子の耐圧が同じ場合、耐圧保持のために必要な第1の半導体層13の幅は、絶縁破壊電界に反比例する。これらの条件から、目的とする素子耐圧が同じ場合、第1の半導体層13の不純物密度は、絶縁破壊電界の2乗に比例するという結果が得られる。半導体の電気抵抗率は、不純物密度にほぼ反比例するので、この結果は、目的とする耐圧が同じ素子と考えた場合、第1の半導体層13の電気抵抗率は絶縁破壊電界の2乗に反比例すると言い替えることができる。

【0039】本発明の絶縁ゲート形電界効果トランジスタの場合、電流は第1の半導体層13を縦方向に流れ、絶縁ゲート形電界効果トランジスタにおけるオン時のソース電極17とドレイン電極18間の電気抵抗は、多くの場合、ソース領域やチャネル領域の電気抵抗は無視でき、第1の半導体層13の電気抵抗となる。第1の半導体層13の電気抵抗はその幅とその電気抵抗率の積になることから、オン時のソース電極17とドレイン電極18間の電気抵抗は絶縁破壊電界の3乗に反比例するという結果が得られる。

【0040】炭化珪素の絶縁破壊電界は珪素に比べ約1桁大きい。したがって、本発明の絶縁ゲート形電界効果トランジスタ11のオン時のソース電極17とドレイン電極18間の電気抵抗は、従来の珪素で作られた素子より3桁小さくなる。しかし、ここでは、移動度の効果を含めずに議論してきた。移動度を考慮すると、オン時のソース電極17とドレイン電極18間の電気抵抗は、絶縁破壊電界の3乗に反比例し移動度に比例するという結果が得られる。炭化珪素の移動度は珪素のほぼ1/2程度であるので、これを考慮すると若干効果が減殺されるが、それでも、本発明の絶縁ゲート形電界効果トランジスタ11のオン時のソース電極17とドレイン電極18間の電気抵抗は、珪素型の絶縁ゲート形電界効果トランジスタに比べ2桁以上小さくなるという結果が得られる。

【0041】次に、本発明の絶縁ゲート形電界効果トランジスタ11が、現状のゲートターンオフサイリスタと程度の電力変換容量を有することについて説明する。電力用素子の場合、素子の最大電力変換容量は、素子内部で発生する電力損失によって制限される。また、電力損失は、素子が定常オン状態のときに発生するオン電力損失とターンオフするときに発生するターンオフ損失に分けられるが、絶縁ゲート形電界効果トランジスタの場合、ターンオフ電力損失は極めて小さく、通常、定常オ

13

ン時に発生するオン電力損失によって占められる。素子のオン電力損失はオン抵抗と通電電流の2乗に比例することから、素子で発生する電力を一定とすると、オン抵抗が小さくなった分だけ通電電流を多くできる。前述したように、本発明の絶縁ゲート形電界効果トランジスタ11のオン抵抗は、従来の絶縁ゲート形電界効果トランジスタに比べ、2桁以上オン抵抗が小さくなるので、電流は1桁以上多く電流を流せることになる。この値は、従来のゲートターンオフサイリスタの電流値に相当し、本発明の絶縁ゲート形電界効果トランジスタの電力変換容量が従来のゲートターンオフサイリスタと同程度になることを意味する。

【0042】炭化珪素は、オン時の電気抵抗が小さいだけでなく、電力用素子として必要不可欠な熱放散性にも優れている。炭化珪素の熱伝導率は、珪素のそれが1.5W/cm²℃であるのに対し、5.0W/cm²℃であり、珪素の3倍以上である。このような炭化珪素の高い熱放散性を活かすためには、絶縁ゲート形電界効果トランジスタに用いられていたパッケージ手法にまでさかのぼって考える必要がある。従来の絶縁ゲート形電界効果トランジスタは、ソース電極とゲート電極がワイヤを用いて外部回路と接続されていた。しかし、以上で述べたように、炭化珪素を用いた本発明の絶縁ゲート形電界効果トランジスタ11は、従来の珪素で作られた絶縁ゲート形電界効果トランジスタにない高い電流密度を実現できるとともに、高い熱伝導特性を有している。これらの電力用半導体素子として有効な特性は、従来から用いられていたパッケージ手法では、十分に引き出すことができない。そこで、大電流化が実現でき、かつ熱放散性に優れたパッケージ手法である両面圧接パッケージに注目し、図1に示す素子構造を発明した。

【0043】本実施例によれば、ゲート電極19が凹部111に設けられているので、ソース電極17とゲート電極19の存在する平面位置が空間的に分離され、ソース電極との接触側が平面構造であるソース側電極部材112による、ソース電極17とゲート電極19の電気的接触を阻止することができる。また、ソース電極17とチャネルが形成される第2の半導体層14との電気的接触が、炭化珪素との結晶整合性のよい炭化チタン層16で形成されているため、炭化珪素と炭化チタンの接合界面の格子欠陥が発生せず、圧着時の機械的圧力に対する高い機械的強度を得ることができる。さらに、炭化チタンは、熱伝導特性に優れていることから、ソース電極17側からの熱放散を阻害する要因にはならない。

【0044】図1に示した本発明は、図2のように図1で示した凹部111を、図1で示したゲート電極19と同一物質あるいは電気的導電性に優れた物質で埋め込んでもよい。この場合、ソース電極17の存在する平面位置とゲート電極21の最表面の位置は、空間的に分離されるようにして、ソース側電極部材112によるソース

14

電極17とゲート電極21の電気的接触を防いでいる。

【0045】図2は、図1で示した凹部111を、図1で示したゲート絶縁膜110と同じ物質あるいは他の絶縁物31で埋め込んだ場合の素子構造である。本発明は、このような構造にしても実施できる。

【0046】図2、図3は、パッケージ内の本発明の素子のみを示し、パッケージは図1と同様である。

【0047】実施例2

図1では、第2の半導体層14とソース電極17間の電気的接触を炭化チタン層16を用いて行った。しかし、この部分は必ずしも炭化チタンである必要はなく、電気伝導性に優れかつ炭化珪素との結晶整合性に優れた他の物質でもよい。たとえば、図4に示すように、炭化タンタル、炭化ニオブ、あるいは窒化チタン41などは、電気伝導性、結晶整合性に優れた材料である。これらの物質の電気抵抗率は、それぞれ30μΩcm、74μΩcm、21.7μΩcmであり、炭化チタンの180μΩcmよりも小さく、電気伝導性に優れている。一方、炭化珪素との結晶定数差は、それぞれ約2.2%、2.5%、2.7%であり、炭化チタンの0.7%より大きく、結晶整合性はやや劣る。しかし、本発明の素子の第3の半導体層15は数百nmと薄くてよいことを考慮すると、この程度の結晶整合性があれば、本発明の効果はなんら問題なく実施できる。このように、炭化チタンに変えて、炭化タンタル、炭化ニオブ、あるいは窒化チタンを用いることでも、本発明の目的とするところの両面圧接構造に対して、なんら問題を生じない。

【0048】図4の素子においても図1の場合と同様、凹部111を、電気的導電性に優れた優れた物質、あるいは電気的絶縁性に優れた物質で埋め込んでもよく、この場合の素子構造を、それぞれ図5および図6に示す。

【0049】実施例3

図1では、第2の半導体層14とソース電極17間の電気的接触を炭化チタン層16を用いて行った。しかし、この炭化チタン層16は、図7に示すように炭化珪素であってもよい。本実施例は、nチャネル形であるため、この例では、第2の半導体層14と同じp形の炭化珪素を使用している。

【0050】本発明の特徴の一つは、熱拡散技術とイオン注入技術を使用しないで作成することであるが、図7の素子も熱拡散とイオン注入技術を使用しないで作成することができる。この素子は、第1の半導体層13上に第2の半導体層14をエピタキシャル技術を用いて図1よりも厚く積層し、次に必要な部分をエッチングし、次に第3の半導体層15をエピタキシャル成長し、その後、ソース電極17を形成する部分を第2の半導体層14の一部が現れるまでエッチングすることで作成することができる。その他の構造部分は図1で示した素子と同様に作成する。また、本発明のもう一つの特徴である、両面圧接構造に対してもなんら問題を生じない。

15

【0051】図7の素子においても図1の場合と同様、凹部111を、電気的導電性に優れた物質、あるいは電気的絶縁性に優れた物質で埋め込んでもよく、この場合の素子構造を、それぞれ図8および図9に示す。

【0052】実施例4

本発明は、図10に示すように凹部111の一方の壁面を、第3の半導体層15から第2の半導体層14の一部に接するようにソース電極102を設け、凹部111のもう一方の壁面に、ゲート電極101を設けた素子構造でも実行できる。ただし、ゲート電極101は、絶縁膜103上に設けられる。ソース電極とドレイン電極間の電流の通路になるチャネルの利用効率が、図1から図9の場合の1/2になる。しかし、ゲート電極101とソース電極102はパッケージのソース側電極部材112で電気的に短絡されないように空間的に分離されているので、炭化珪素の持つ大電流密度、高速動作、高い熱放散性を十分に引き出すという両面圧接構造を実現するうえでなんら問題にはならない。

【0053】また、図10の素子において、凹部111を電気的絶縁性に優れた物質で埋め込んでもよく、この場合の素子構造を、それぞれ図11に示す。

【0054】実施例5

図10においては、凹部111の一方の側壁のすべてを使用して、ソース電極第2の半導体層の電気的接触を実現した。しかし、この接触部に流れる電流は第2の半導体層と第ゲート電極間の作るコンデンサの充放電電流であるため、その値は小さい。そのため、図10のように、凹部111の片側のすべてを使用して電気的接触をとる必要はない。そこで、図12のように、ソース電極121とゲート電極123が交互に第2の半導体層14に接するようにしても、本発明の効果をj得ることができ。また、この構造は、両面圧接を行う上でも、なんら問題を生じない。

【0055】図12の凹部111は、これまでの実施例と同様、絶縁物で埋め込んでもよい。また、ソース電極121とゲート電極123が、凹部111内で接触しないような条件であれば、ゲート電極123を導電性物質で埋め込んでもよい。

【0056】実施例6

図1から図12までの実施例は、絶縁ゲート形電界効果トランジスタに関するものであった。しかし、本発明は、図13のように第1の半導体層13に接するように炭化珪素の層132を設けてもよい。この実施例はnチャネル形であるため、この場合はp形の炭化珪素を使用する。

【0057】図13の素子は絶縁ゲート形バイポーラトランジスタ131である。この素子では、第1の半導体層13と基板12がn形のコレクタ領域、第2の半導体層14がp形のベース、第3の半導体層15がn形のエミッタ領域を構成する。この絶縁ゲート形バイポーラ

16

ランジスタ131は、ゲート絶縁膜110を介してゲート電極19と対向するp形の第2の半導体層14をチャネル形成領域とするnチャネル形である。

【0058】この素子の動作は、通常の絶縁ゲート形バイポーラトランジスタと同様である。ゲート電極19に印加する電圧によって、第2の半導体層14とゲート絶縁膜110との接触界面にチャネル形成して、ソース電極17側からこのチャネルを通して電子を第1の半導体層13内に注入する。すると、この電流が、第2の半導体層14、第1の半導体層13、およびp形の炭化珪素層132から構成されるpnptランジスタのベース電流となり、この効果によって、p形の炭化珪素層132から正孔が第2の半導体層14に向けて注入される。そのため、コレクタ電極133、基板12、p形の炭化珪素層132、第1の半導体層13、第2の半導体層14、炭化チタン層16、およびエミッタ電極134からなる、正孔の通路が構成される。一方、電子は、ソース電極17、第3の半導体層15、第2の半導体層14に形成されたn形のチャネル、第1の半導体層13、p形の炭化チタン層132、基板12、およびコレクタ電極133を通して流れる。この状態が、導通状態である。

【0059】ゲート電極19に印加している電圧を取り除くと、第2の半導体層14に形成されたチャネルが閉じ、第1の半導体層13への電子注入が止まる。そのため、p形の炭化珪素層132、第1の半導体層13、および第2の半導体層14から構成されるpnptランジスタのベース電流がなくなり、p形の炭化珪素層132からの正孔注入が止まり、最終的に、素子は遮断状態になる。遮断時には、第2の半導体層14と第1の半導体層13の接触界面から第1の半導体層13内に空乏層が広がる。この空乏層によって、素子に加わる電圧が保持される。

【0060】最も大きな電気抵抗を発生する部分は第1の半導体層13であるが、本構造の素子では、第1の半導体層13に電子と正孔が同時に注入されるため、層内のキャリア濃度が増加し、電気抵抗が先の絶縁ゲート形電界効果トランジスタに比べ大幅に小さくなる。前述したように、炭化珪素は絶縁ゲート形電界効果トランジスタであっても導通時に大きな電流を流せる。図13の実施例の素子の場合、導通時の電気抵抗がさらに小さくなることから、さらに大きな電流を流すことができ、本発明の両面圧接できる素子構造が必要不可欠となる。

【0061】実施例7

図1の絶縁ゲート形電界効果トランジスタは、図2から図12のような構造でも、本発明の効果を有効に活かすことができた。図13で示した絶縁ゲート形バイポーラトランジスタにおいても、同様に、図14から図24のような構造で本発明の効果をj得ることができる。図14は図13において凹部111を導電性物質で埋めたも、図15は図13において凹部111を絶縁物で埋めたも

17

の、図16は第2の半導体層14と第3の半導体層15の接触界面に炭化珪素層を埋め込んでも、図17は図16において凹部111を導電性物質で埋めたもの、図18は図16において凹部111を絶縁物で埋めたもの、図19はソース電極と第2の半導体層14との電氣的接触を炭化珪素で実行したもの、図20は図19において凹部111を導電物質で埋めたもの、図21は図19において凹部111を絶縁物で埋めたもの、図22は凹部111の一方の側面を利用してソース電極と第2の半導体層14の電氣的接触をとったもの、図23は図22において凹部111を絶縁物で埋めたもの、さらに図24は、凹部111の側面を第2の半導体層14およびゲート電極123によるチャンネル形成部とソース電極121および第2の半導体層14の電氣的接触部に交互に分離したものである。このような、図14から図24の素子構造においても、本発明は、なんの問題もなく達成できる。

【0062】実施例8

次に、本発明の素子を複合構造にした場合の構造図を示す。図25から図27はそれらの上面図である。図25はソース電極251を縦縞模様配置した場合の実施例、図26はソース電極261が正方形でそれらを複数配置した場合の実施例、図27は、ソース電極271が、六角形でそれ等を複数配置した場合の実施例である。本発明の効果を効果的に引き出すためには、ここで示した形状にとどまらず、この発明の趣旨の範囲内の形状でもよい。

【0063】実施例9

炭化珪素は、キャリア提供に有効な元素に対して拡散定数が極めて小さく、実用的な拡散速度を得るためには、炭化珪素の熱分解が生じる温度以上にする必要がある。そのため、現実的には熱拡散技術を用いて素子を作成することは不可能である。また、炭化珪素のドーパントとなる不純物の不純物準位が深く、総合的なドーパントのイオン化率が小さい。そのため、素子形成に有効なキャリア密度を達成するためには、極めて高濃度の不純物を注入する必要がある。不純物が多くなるほど、イオン注入部に発生した結晶欠陥を修復することが困難になることから、イオン注入技術を利用して炭化珪素内に不純物を導入するためには、越えなければならない大きな技術的課題が山積している。

【0064】本実施例の炭化珪素絶縁ゲート形電界効果トランジスタは、エピタキシャル結晶成長、エッチング、絶縁膜作成技術だけで作成可能で、熱拡散技術やイオン注入技術を使用する必要がない。この点を明かにするため、以下、図28を用いて、本発明の絶縁ゲート形電界効果トランジスタ11の作成方法を説明する。

【0065】図28(a)は、昇華法、あるいはエピタキシャル成長法などで作成した基板12上に、n形になるように第1の半導体層13、p形のドーパントを含む

18

ように第2の半導体層14、さらにその上に炭化チタン層16をエピタキシャル成長させた状態を示す。炭化珪素層のエピタキシャル成長は、例えばシランとメタンなどを含む原料ガスを用いるCVD法で実現でき、この気相成長用の原料ガス中に不純物を混合しておくことによって炭化珪素膜中に所望の濃度の不純物のドーピングが行える。ドーピング後のイオン化率などを考慮すると、n形不純物としては窒素、p形不純物としてはアルミが最も適する。

【0066】図28(b)は、炭化チタンのエッチング工程を示す。この工程は、化学的エッチングでも可能であるが、塩素系のガスを用いたドライエッチング法を利用して、必要な部分だけを残して炭化チタン層16を取り除くのがよい。この図では省略されているが、このエッチングは、もちろんフォトリソ膜などをマスクとして行う。

【0067】図28(c)は、所望の不純物濃度になるようにn形層をエピタキシャル成長させた状態を示す。この層は第3の半導体層15になる。成長は第1の半導体層13および第2の半導体層14と同様に行う。図28(d)は、炭化チタン層が現れるまで表面をエッチングした状態を示す。このエッチングも、化学的エッチングが可能であるが、ドライエッチング法を利用して行うのがよい。

【0068】図28(e)は凹部111の掘り込み工程を示す。このエッチングは、フォトリソ膜などを利用して、異方性エッチング条件化で、第1の半導体層13が現れるまでドライエッチングするのがよい。

【0069】図28(f)はゲート絶縁膜110、ゲート電極19、ソース電極17、およびドレイン電極18の作成工程を示す。ゲート絶縁膜110は、シリコンの場合と同様に熱酸化膜とするのが作成が最も簡単である。酸素雰囲気内での短時間の熱酸化により、ゲート絶縁膜110として適する例えば0.05~0.1 μ mの厚さの酸化シリコン膜が、炭化珪素においてもシリコンと同様に形成することができる。ソース電極17、ゲート電極19、およびドレイン電極18は、シリコン素子で多用されている例えばスパッタリング法などを用いて、アルミで形成してもよい。また、多結晶シリコン、モリブデンシリサイド、タングステンシリサイドなどの電氣的導電性のよい部材を用いてもよい。

【0070】最後に、ソース側電極部材112とドレイン側電極部材で挟むことで素子のパッケージングを行う。以上のように、本実施例の素子は、熱拡散やイオン注入技術を使用することなく作成できるという特徴を有している。

【0071】図29は、本発明の絶縁ゲート形バイポーラトランジスタ131の作成方法を示している。この素子の作成方法は、図29(a)において、第1の半導体層13に先だってp形の炭化珪素層132をエピタキシ

10

20

30

40

50

ャル成長する工程が増えるだけで、その他は、図28で示した絶縁ゲート形電界効果トランジスタ11の作成方法と同じである。

【0072】さらに、図中で示した他の実施例の構造の素子においても、炭化珪素において困難な技術である熱拡散やイオン注入技術を使用せずに製造できることを推測することは容易である。

【0073】実施例10

本発明の最も基本とするところは、電気伝導性がよく、かつ炭化珪素と結晶整合性のよい部材、例えば炭化チタンとの接触を素子の基本構成要素に使用することによって、素子に加わる圧力に起因して素子が破壊に至るのを防止することである。したがって、本発明は、前記実施例、例えば図1～図27に示した素子構造に限定されるものではない。本発明において重要なことは、素子の構成要素の一部に、電気伝導性がよくかつ炭化珪素との結晶整合性に優れた部材と炭化珪素との接触部を有することである。

【0074】図30は、本発明のこのようなコンセプトをもとに示す他の実施例である。この素子は、305と306からなる一対の電極と炭化チタンからなる基板302と基板302と接するように設けられたn型の炭化珪素層303とn型の炭化珪素層303と接するように設けられたp型の炭化珪素層304とから成るpn接合を有するダイオード301であり、次のように動作する。

【0075】電極306に対して電極305へ正の電位を印加すると、p型の炭化珪素層304とn型の炭化珪素層303から成るpn接合は順バイアスされ、電極306、p型の炭化珪素層304、n型の炭化珪素層303、基板302、および電極306を通して電流が流れる。この状態がダイオード301のオン状態である。一方、電極306に対して電極305へ負の電圧を印加した場合、p型の炭化珪素層304とn型の炭化珪素層303からなるpn接合は逆バイアスされ、素子を通して流れる電流が阻止される。この状態が、ダイオード301のオフ状態である。このように、本発明のダイオード301は、従来のダイオードと同様に動作する。

【0076】図30の素子においても、本発明の実施例1で述べた、炭化珪素の有する低いオン時の電気抵抗および高い熱伝導性を有効に引き出すことが可能であり、結果として、大電力制御が実現できることを推測することは容易である。

【0077】本実施例で示したダイオードにおいて、炭化チタンからなる基板302、n型の炭化珪素層303、およびp型の炭化珪素層304との順番はここに示したものに限ったものではなく、n型の炭化珪素層303とp型の炭化珪素層304との順番を入れ替えてもよい。また、基板としては炭化チタンに限ったものではなく、炭化タンタル、炭化ニオブ、あるいは窒化チタンな

どの電気伝導性がよく炭化珪素との結晶整合性のよい部材を用いてもよい。

【0078】さらに、本発明は図1～図27および図30で示した構造に限るものではなく、炭化珪素と結晶整合性がよい部材と炭化珪素との接触面を、素子の構成要素の一部に用いたものであっても、炭化珪素の有する低いオン時の電気抵抗および高い熱伝導性を有効に引き出せることは同様であり、本発明の効果をj得るためになんら問題を生じない。例えば、炭化珪素と結晶整合性がよい部材と炭化珪素との接触面を有する、サイリスタ、ゲートターンオフサイリスタ(GTO)、トランジスタ、ショットキー障壁ゲート形電界効果トランジスタ(MESFET)、pn接合ゲート形電界効果トランジスタ(JFET)、静電誘導サイリスタ(SIサイリスタ)、静電誘導トランジスタ(SIT)、MOS制御サイリスタ(MCT)であってもよい。

【0079】実施例11

図31は、本発明の絶縁ゲート形電界効果トランジスタ11を使用した電力変換装置の一実施例である。図において、311は本発明の絶縁ゲート形電界効果トランジスタ11、312は絶縁ゲート形電界効果トランジスタを保護するためのフリーホイールダイオード、313は例えば直流電源、314は例えばモーターなどからなる負荷を示す。本発明の絶縁ゲート形電界効果トランジスタ11は、ここで示した構成の電力変換装置への使用に制限されるものでなく、交流を直流に、交流を交流に、直流を交流にまたは直流を直流に変換するための電力変換装置のすべてに使用することができる。本発明の素子を電力変換装置に使用することによって、素子本体だけでなく、変換装置のゲート駆動回路および冷却装置を大幅に小型化することができる。以下、これらについて説明する。

【0080】はじめに、素子本体の大きさについて考察する。本発明の絶縁ゲート形電界効果トランジスタは、従来の絶縁ゲート形電界効果トランジスタに比べ、素子に通電可能な電流密度が1桁以上大きくできることを実施例1で説明した。素子の電力変換容量は素子の耐圧と通電可能な電流の積であり、電流値は電流密度と電流が流れる素子面積の積であることから、本発明の絶縁ゲート形電界効果トランジスタ11は従来の絶縁ゲート形電界効果トランジスタに比べ、1桁以上素子の面積を小さくできることになる。また、実施例1で示したように、本発明の絶縁ゲート形電界効果トランジスタ11は、従来の絶縁ゲート形電界効果トランジスタに比べ、素子の厚さが1桁小さくできる。素子の体積は、素子の電流が流れる面積と素子の厚さの積になることから、本発明の絶縁ゲート形電界効果トランジスタ11は、従来の絶縁ゲート形電界効果トランジスタに比べ、2桁以上素子体積を小さくできることになる。

【0081】次に、ゲート回路の小型化について考察す

10

20

30

40

50

21

る。従来、絶縁ゲート形電界効果トランジスタは、オン時の電気抵抗が大きいことから、大電力変換用途の電力変換装置には使用されず、通常数kW程度の装置に使用されていた。しかし、本発明の絶縁ゲート形電界効果トランジスタ11は、数〜数十MWの大電力変換用途に使用されるゲートターンオフサイリスタと同程度の電力変換容量を実現できることから、ゲート回路の小型化に関しては、ゲートターンオフサイリスタと比較する必要がある。

【0082】ゲート回路の規模は、素子のスイッチング動作のためにゲートに加える必要のある電力量の大小で考えることができる。また、この電力量は、素子のターンオン時、ターンオフ時、定常オン時、および定常オフ時に必要なゲート電力に分割できる。ゲートターンオフサイリスタの場合、定常オフ時には、カソードとゲート間、およびアノードとゲート間のpn接合が逆バイアスされ、ゲート電流が流れないので、ほとんどゲート電力を必要としない。しかし、ターンオン時、定常オン時、およびターンオフ時にはその状態を保つためにゲート電力が必要となる。ゲートに加える電力量の大きさは、ゲートに流し込む電荷量にほぼ依存したいので、電荷量の大小で、ゲート電力量の大小を測ることができる。4〜5kV、1kA程度の現状のゲートターンオフサイリスタの場合、ターンオフ、および定常オン時に必要な電荷量はどちらも数mCであり、またターンオン時は、それより1桁小さい。そのため、前記程度の容量を有するゲートターンオフサイリスタのスイッチング動作に必要な電荷量は、1パルス当たり10mC程度になる。

【0083】一方、本発明の絶縁ゲート形電界効果トランジスタ11においては、次のようになる。本発明の絶縁ゲート形電界効果トランジスタ11のスイッチング動作に必要なゲート電荷量は、従来の絶縁ゲート形電界効果トランジスタのデータから求めることができる。絶縁ゲート形電界効果トランジスタの場合、定常オン時、定常オフ時に必要となるゲート電荷量は、ゲート絶縁膜を*

$$Q = \kappa (T - T_0) = \kappa \Delta T$$

ここで、Qは素子から取り出せる熱量、 κ は熱伝導率、Tは素子の温度、 T_0 は素子の周囲温度である。(1)式は、素子の動作温度が高く、熱伝導率 κ が大きいほど、素子の冷却が容易になることを示している。

【0086】珪素の場合、リーク電流などの制限から、素子の最大動作温度は、100℃程度に制限されている。素子のリーク電流は、価電子帯から伝導帯に熱的に励起されるキャリアに起因しているため、基板材料のバンドギャップ幅が大きいほど少なくできる。珪素のバンドギャップが1.12eVであるのに対して、立方晶系の結晶構造(3C-SiCといわれる)の炭化珪素のバンドギャップは2.2eVである。このことから、炭化珪素の場合の、最大動作温度を求めると約500℃が得られる。素子の周囲の温度を室温(20℃)とすると、※50

22

*通して流れるリーク電流によって発生するが、この値は極めて小さく、通常無視できる。そのため、ターンオン時、ターンオフ時に必要な電荷量を考えればよく、これは、ゲート入力容量を充電するために必要な電荷量である。絶縁ゲート形電界効果トランジスタのゲート入力容量とドレイン電流の間にはほぼ比例関係があり、従来の絶縁ゲート形電界効果トランジスタのデータからこの比例定数を求めるとほぼ100pF/Aとなる。この関係は基板材料の誘電率に依存するが、本発明の素子に使用されている炭化珪素と珪素の誘電率はほぼ同じであることから、この関係は本発明の絶縁ゲート形電界効果トランジスタ11にも用いることができる。したがって、本発明の絶縁ゲート形電界効果トランジスタ11で、電流容量1000A程度の素子を作成したときの入力容量は、100nFとなる。絶縁ゲート形電界効果トランジスタは、数Vのゲート電圧で制御されることから、前記程度の容量の素子ターンオン、ターンオフ時に必要な電荷量は、どちらも数百nCとなる。この値は、前述したゲートターンオフサイリスタのそれよりも4桁程度小さい値である。このように、本発明の絶縁ゲート形電界効果トランジスタ11は極めて小さな電力で素子のスイッチング動作を行えることから、本発明の絶縁ゲート形電界効果トランジスタ11を電力変換装置に用いることで、ゲート制御回路の大幅な小型化が実現できることは容易に推測できる。

【0084】次に、冷却装置の小型化について説明する。スイッチング素子は本質的に電力損失を発生し、この損失は素子温度を上昇させる。素子温度の増加とともに、素子を構成している半導体材料の価電子帯から伝導帯へ熱的に励起されるキャリア量が増加し、素子特性が悪化する。何らかの方法で素子を冷却する必要がある。素子から取り出せる熱量は、素子の温度とその周囲の温度との差、および素子の熱伝導率に比例する。つまり、次の関係式が成り立つ。

【0085】

… (1)

※炭化珪素の場合の温度差 ΔT は、珪素のそれが80℃であるのに対し、約480℃と、珪素の8倍にすることができる。また、実施例1で説明したように、炭化珪素の熱伝導率は、珪素に比べ、約3倍になる。以上のことから、炭化珪素で作成した本発明の絶縁ゲート形電界効果トランジスタ11は、従来の素子に比べ、20倍程度冷却効率が改善できることになる。このように、本発明の絶縁ゲート形電界効果トランジスタ11は冷却が容易であり、ひいては冷却設備の小型化に大きく寄与することは容易に推測できる。

【0087】以上の説明は、電力変換装置に絶縁ゲート形電界効果トランジスタ11を使用した場合について説明したが、これに限ったものではなく、本発明の実施例で示した他の構造の素子を使用した電力変換装置でもよ

く、この場合も、ここで示した効果が同様に得られる。

【0088】

【発明の効果】本発明は、炭化珪素あるいは炭化珪素と結晶整合性のよい炭化チタンからなる基板上に、第1の半導体層、第2の半導体層、第3の半導体層を導電形が異なるように交互にエピタキシャル成長法を用いて作成し、第2の半導体層とソース電極の電氣的接触に炭化珪素と結晶整合性のよい炭化チタンを用い、第3の半導体層領域の範囲内から第1の半導体層に達するように凹部を設け、この凹部の表面を絶縁物で覆い、かつこの絶縁物上に電氣的導電性に優れた物質でゲート電極を設けた構造の絶縁ゲート形電界効果トランジスタとなっている。

【0089】また、本発明は、少なくとも一つの炭化珪素から成る部分と少なくとも一つの炭化珪素との結晶整合性に優れたかつ電気伝導性のよい例えば炭化チタンから成る部分が接合する部分を、構成要素の一つとする素子構造とすることで、次のような効果が得られた。

【0090】(1) ソース電極部とゲート電極部の存在する空間的位置を分離し、かつソース電極と第2の半導体層との電氣的接触に炭化チタンを用いることで、両面圧接パッケージが可能となった。

【0091】(2) 両面圧接構造で可能な構造とすることにより、炭化珪素が有する導通時の低い電気抵抗と高い熱放散性を効果的に引き出すことができ、大電力容量、かつ高速動作が可能となった。

【0092】(3) 本発明の素子構造は、炭化珪素では利用困難な熱放散技術およびイオン注入技術を使用せず、エピタキシャル成長技術、エッチング技術、および酸化膜形成技術だけで作成することができる。

【0093】さらに、本発明の素子を電力変換装置に使用した場合、素子本体だけでなく、変換装置のゲート駆動回路および冷却装置を大幅に小型化することができた。

【図面の簡単な説明】

【図1】本発明による炭化珪素半導体を用いる絶縁ゲート形電界効果トランジスタおよび素子のパッケージ構造の一実施例を示す断面図である。

【図2】本発明による炭化珪素半導体を用いる絶縁ゲート形電界効果トランジスタの他の実施例を示す断面図。

【図3】同じく他の実施例を示す断面図である。

【図4】同じく他の実施例を示す断面図である。

【図5】同じく他の実施例を示す断面図である。

【図6】同じく他の実施例を示す断面図である。

【図7】同じく他の実施例を示す断面図である。

【図8】同じく他の実施例を示す断面図である。

【図9】同じく他の実施例を示す断面図である。

【図10】同じく他の実施例を示す断面図である。

【図11】同じく他の実施例を示す断面図である。

【図12】同じく他の実施例を示す断面図である。

【図13】本発明による炭化珪素半導体を用いる絶縁ゲート形バイポーラトランジスタおよび素子のパッケージ構造の一実施例を示す断面図である。

【図14】本発明による炭化珪素半導体を用いる絶縁ゲート形バイポーラトランジスタの他の実施例を示す断面図である。

【図15】同じく他の実施例を示す断面図である。

【図16】同じく他の実施例を示す断面図である。

【図17】同じく他の実施例を示す断面図である。

【図18】同じく他の実施例を示す断面図である。

【図19】同じく他の実施例を示す断面図である。

【図20】同じく他の実施例を示す断面図である。

【図21】同じく他の実施例を示す断面図である。

【図22】同じく他の実施例を示す断面図である。

【図23】同じく他の実施例を示す断面図である。

【図24】同じく他の実施例を示す断面図である。

【図25】本発明を複合構造の絶縁ゲート形電界効果トランジスタあるいは絶縁ゲート形バイポーラトランジスタに適用した実施例の上面図である。

【図26】同じく実施例の上面図である。

【図27】同じく実施例の上面図である。

【図28】本発明の絶縁ゲート形電界効果トランジスタの作成方法を示す断面図である。

【図29】本発明の絶縁ゲート形バイポーラトランジスタの作成方法を示す断面図である。

【図30】本発明による炭化珪素半導体を用いる半導体装置の実施例を示す断面図である。

【図31】本発明の半導体装置を用いた電力変換装置の一実施例を示す概略回路図である。

【符号の説明】

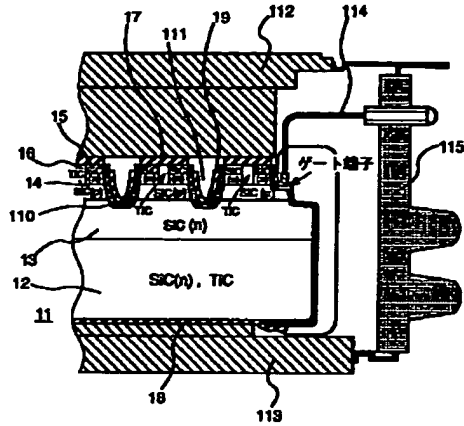
11…本発明の絶縁ゲート形電界効果トランジスタ、12…炭化珪素あるいは炭化チタンからなる基板、13…炭化珪素からなる第1の半導体層、14…炭化珪素からなる第2の半導体層、15…炭化珪素からなる第3の半導体層、16…ソース電極と第2の半導体層の電氣的接触をはたす炭化チタン層、17, 102, 121…ソース電極、18, 122…ドレイン電極、19, 101, 123…ゲート電極、21, 81…ゲート電極と同一あるいは電氣的導電性に優れた部材、31, 91, 1110, 253, 263, 273…ゲート絶縁膜と同一あるいは電氣的絶縁性に優れた部材、41…第2の半導体層と第3の半導体層の接触界面に埋め込まれた炭化チタン領域、71…ソース電極と第2の半導体層の電氣的接触に利用される炭化珪素領域、110, 103…ゲート絶縁膜、111…凹部、112…ソース側電極部材、113…ドレイン側電極部材、114…リード線、115…側壁、132…p形の炭化珪素層、133…コレクタ電極、134…エミッタ電極、135…コレクタ側電極部材、136…エミッタ側電極部材、251, 261, 271…ソース端子、252, 262, 272…ゲート端

25

子、301…pn接合形ダイオード、302…炭化チタン基板、303…n形の炭化珪素層、304…p形の炭化珪素層、305、306…電極、311…スイッチン

【図1】

図 1

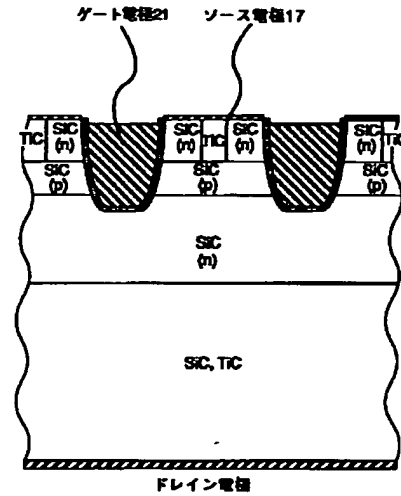


26

グ素子、312…フリーホイールダイオード、313…電源、314…負荷。

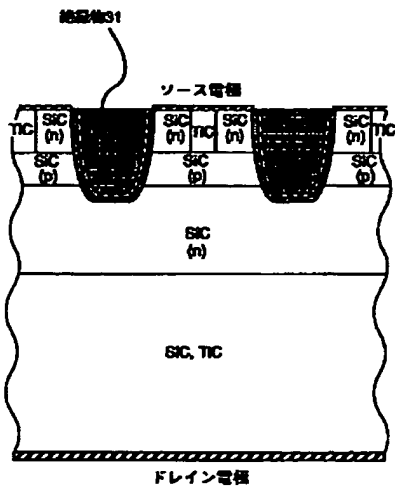
【図2】

図 2



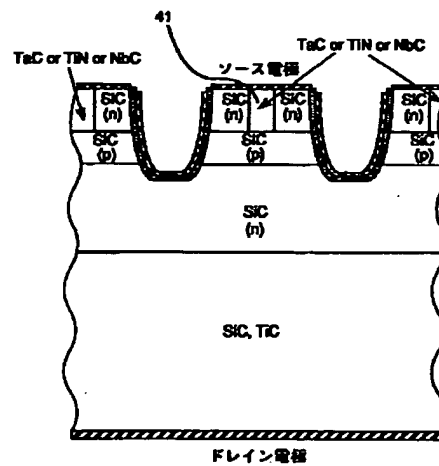
【図3】

図 3



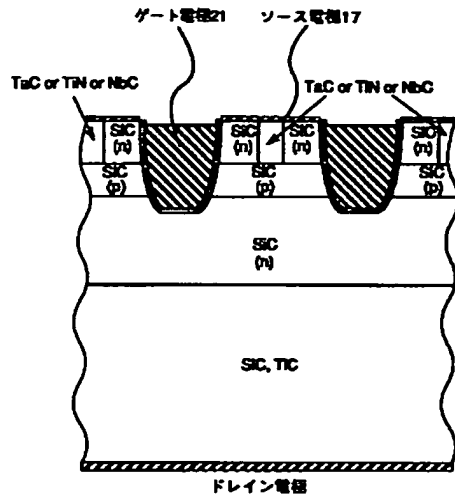
【図4】

図 4



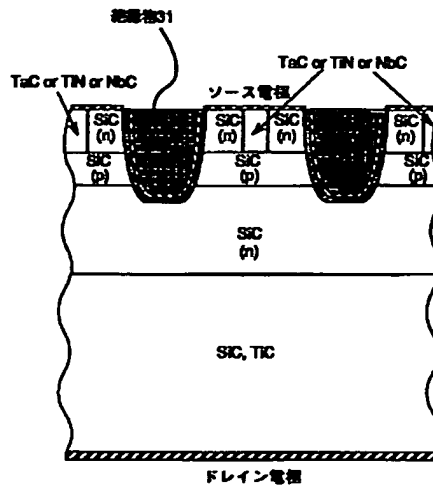
【図5】

図 5



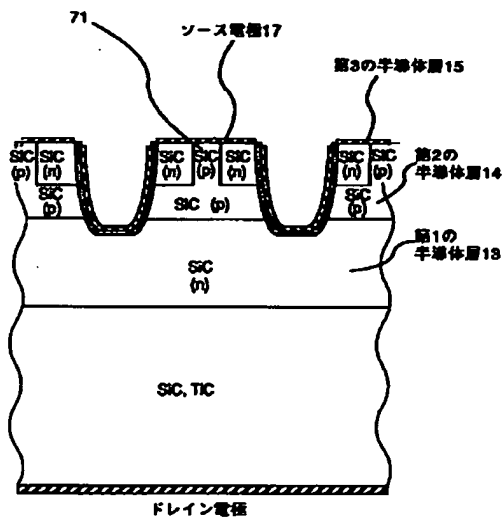
【図6】

図 6



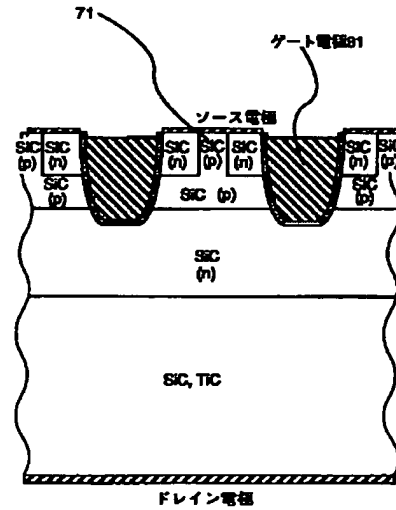
【図7】

図 7



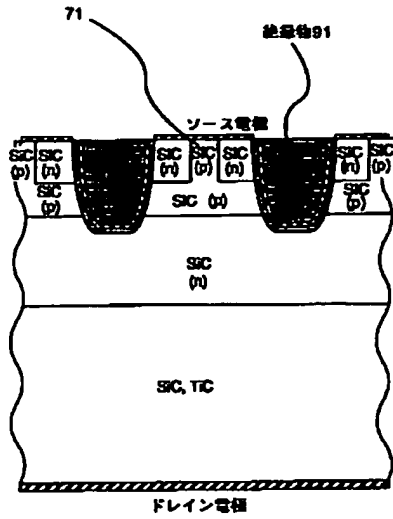
【図8】

図 8



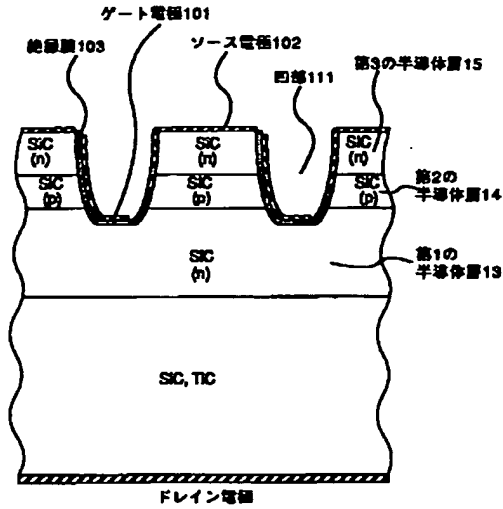
【図9】

図 9



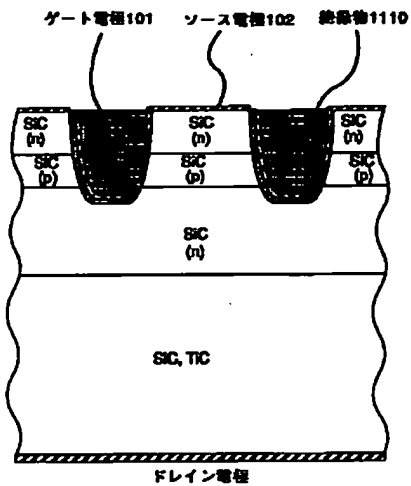
【図10】

図 10



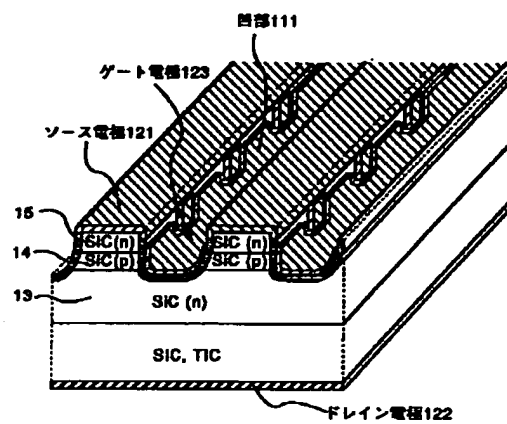
【図11】

図 11



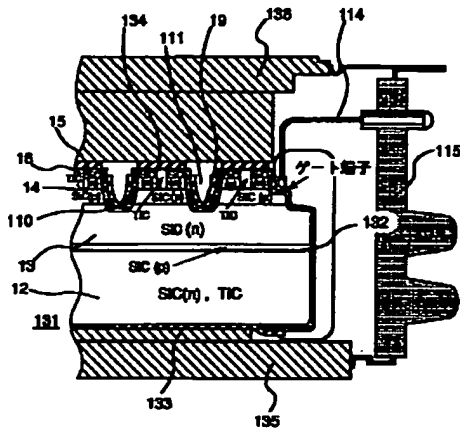
【図12】

図 12



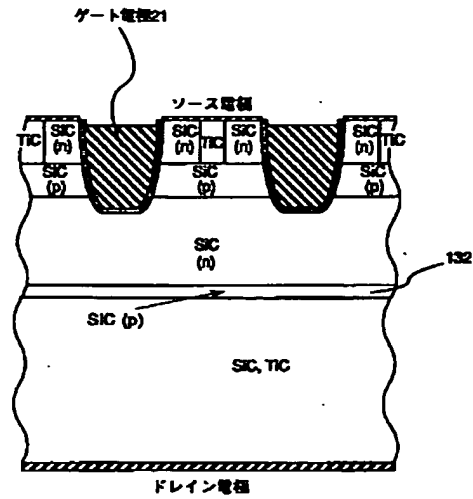
【例13】

13



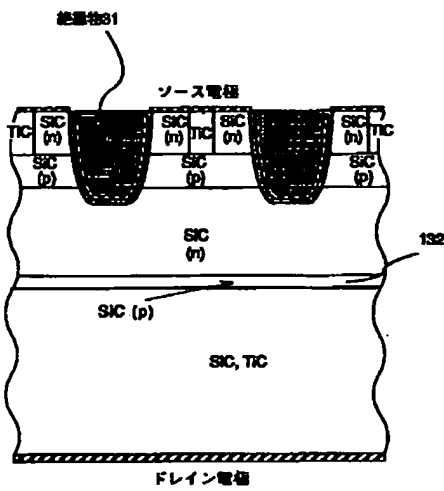
【図14】

14



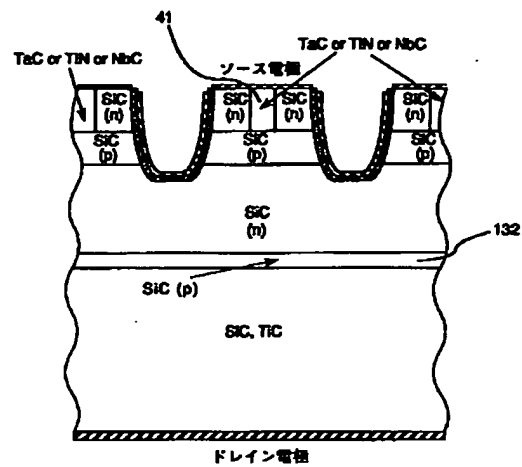
【図15】

15



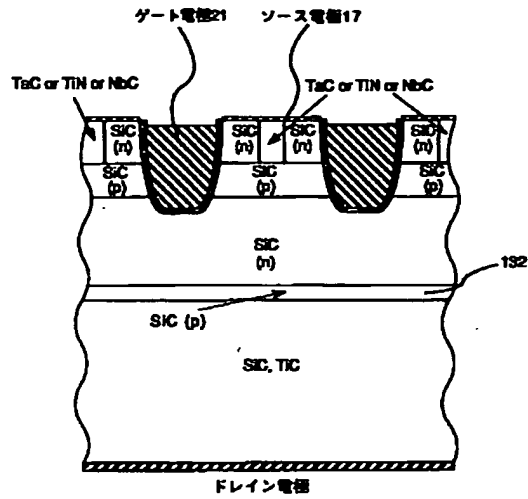
【图16】

16



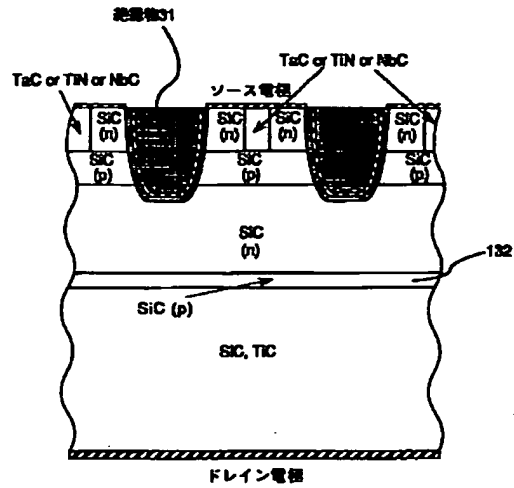
【図17】

図 17



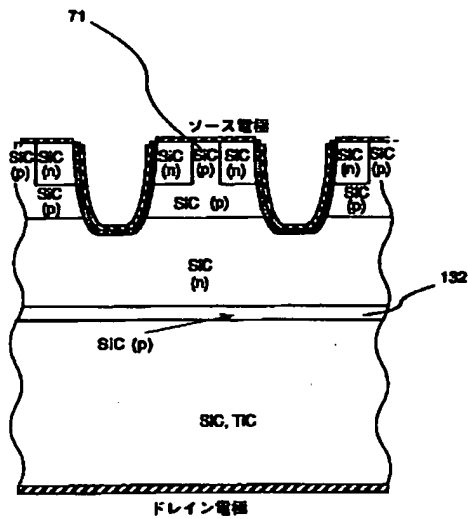
【図18】

図 18



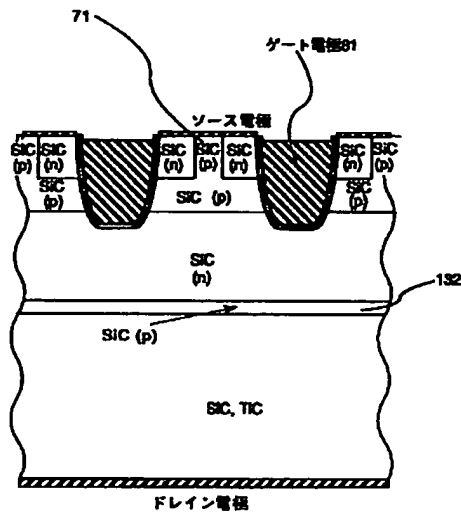
【図19】

図 19



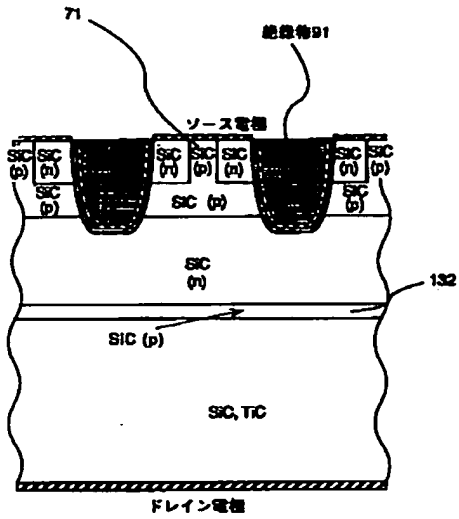
【図20】

図 20



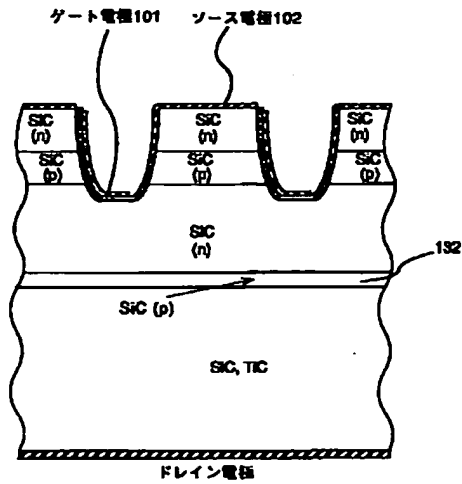
【図21】

図 21



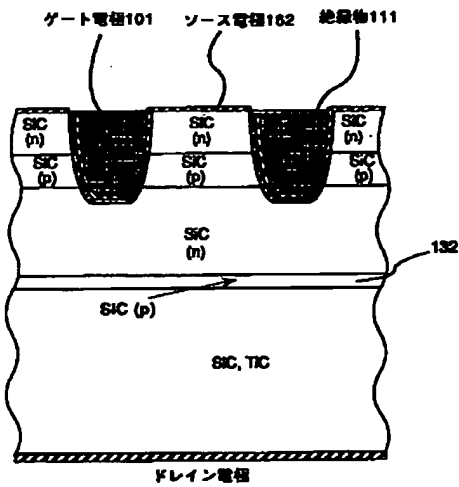
【図22】

図 22



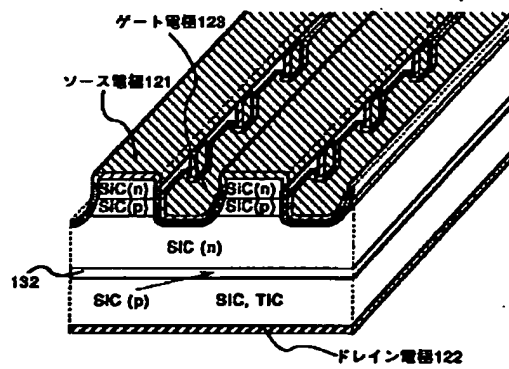
【図23】

図 23



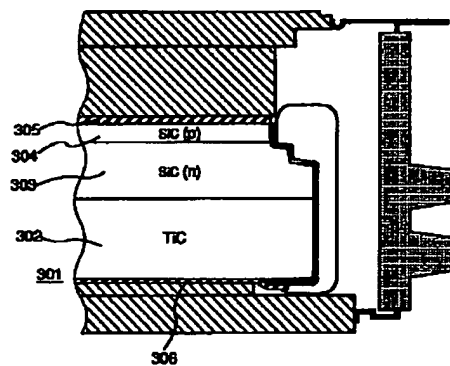
【図24】

図 24

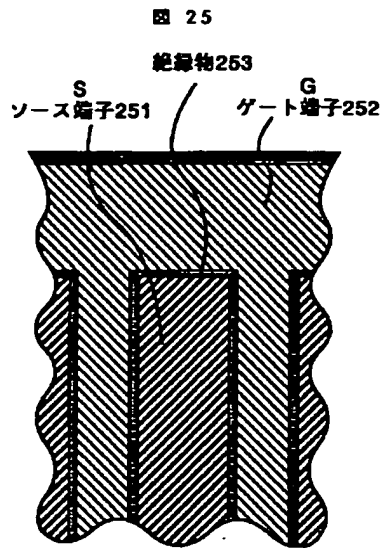


【図30】

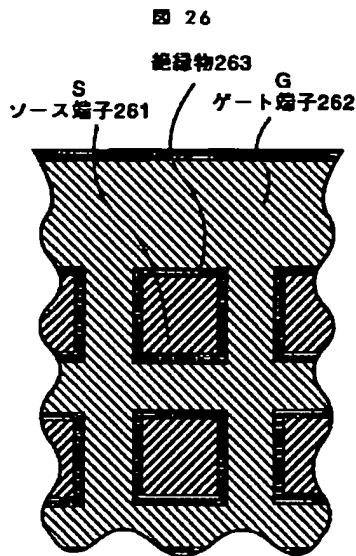
図 30



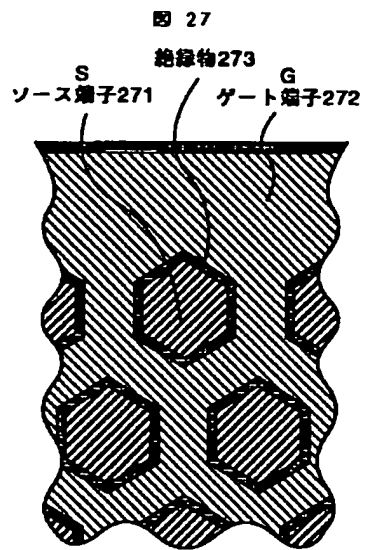
【図25】



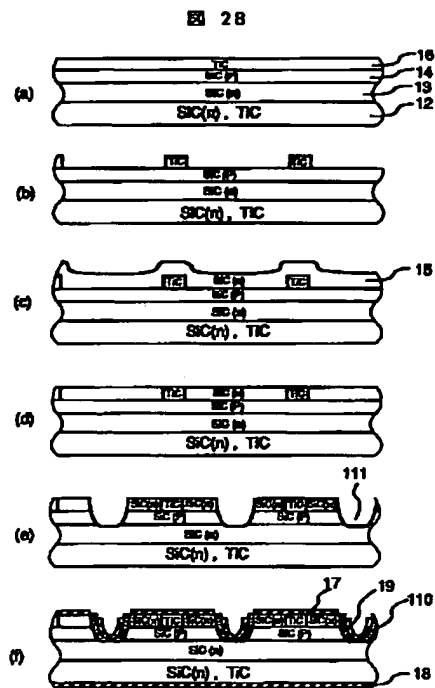
【図26】



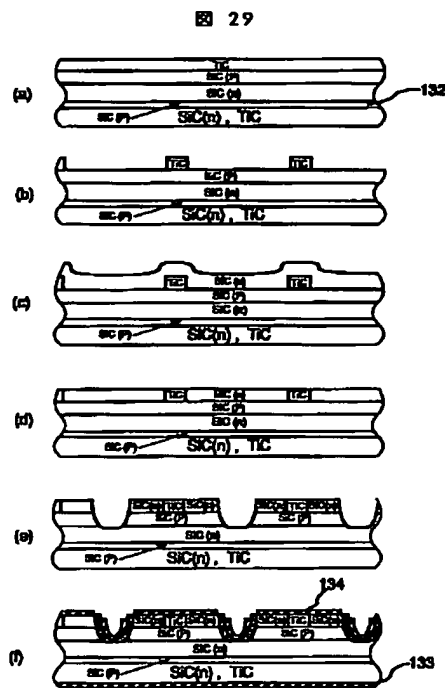
【図27】



【図28】

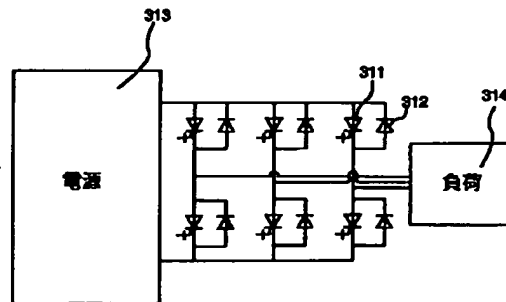


【図29】



【図31】

図 31



フロントページの続き

(51)Int. Cl.⁶

H01L 29/812

21/337

29/808

29/80

識別記号

庁内整理番号

F I

技術表示箇所

9055-4M

H01L 29/78

321 V

7376-4M

29/80

B

7376-4M

C

7376-4M

V